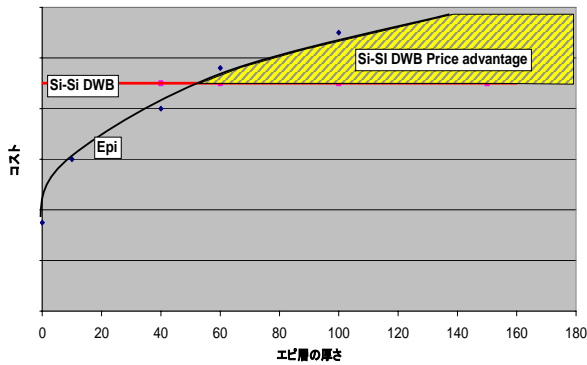


# Si-Si Direct Wafer Bonded Epi wafers

半導体デバイス製造会社にとって、シリコン-シリコン・ダイレクト・ウェハー・ボンディングは、MOSFET、ピン・ダイオード、IGBT などの高電圧パワー・デバイス用の従来のエピタキシャル層の代わりとなり、経費の削減となります。

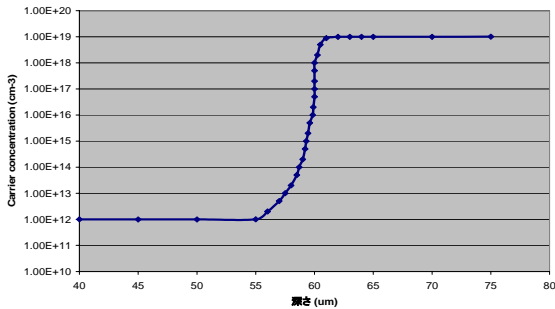
シリコン上のエピタキシャル層のコスト vs エピ層の厚さ



- ### 主な特徴
- 高品質
  - 低費用
  - 低欠陥密度
  - 層の均一性に優れている
  - 複数層
  - シャープな変化
  - 10kΩ-cm までの層の抵抗率
  - インターフェースの品質に優れている

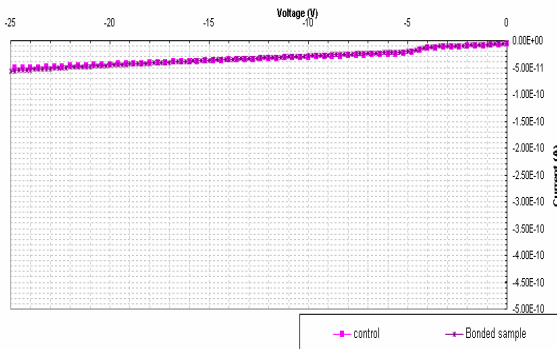
ダイレクト・ウェハー・ボンディング・テクノロジーによって、単結晶シリコンの複数層からなるシリコン基板の製造が可能となります。従来のエピタキシャルでは考えられない特徴として、これらの層の抵抗率の範囲は 1mΩ-cm から 10kΩ-cm、n 型と p 型、そして異なった面方位の組み合わせが可能となります。このボンディング・プロセスにより、漏れが少なく、低ワープ、そして低欠陥密度の高品質のウェハーの製造が可能となります。さらに、層の厚さの公差は 100um の厚さの層でさえ、わずか 0.5um からです。また、アプリケーションやお客様の要求次第で、ドーパント濃度の界面における高濃度から低濃度への変化をシャープあるいはソフトに行うことができます。

Dopant profile across bonded junction

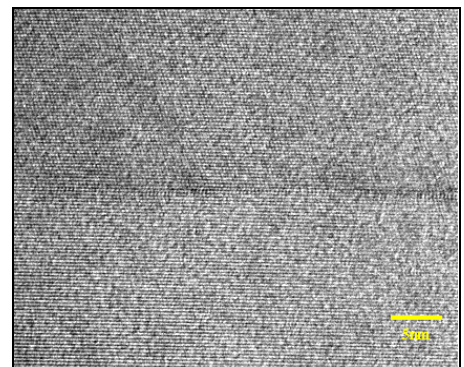


電気テストの結果、漏れ電流は、標準バルク Si 基板と、ボンディングされたシリコン上のダイオードでは差はなく、高解像の電子顕微鏡でも欠陥や変形作用はみられません。

- ### アプリケーションリケシヨ
- 高電圧ピン・ダイオード
  - RF アンテナ・スイッチ
  - フォトディテクター
  - X 線検出器
  - IR センサー
  - HV パワー・デバイス
  - エピタキシャル・デポジットの換わり

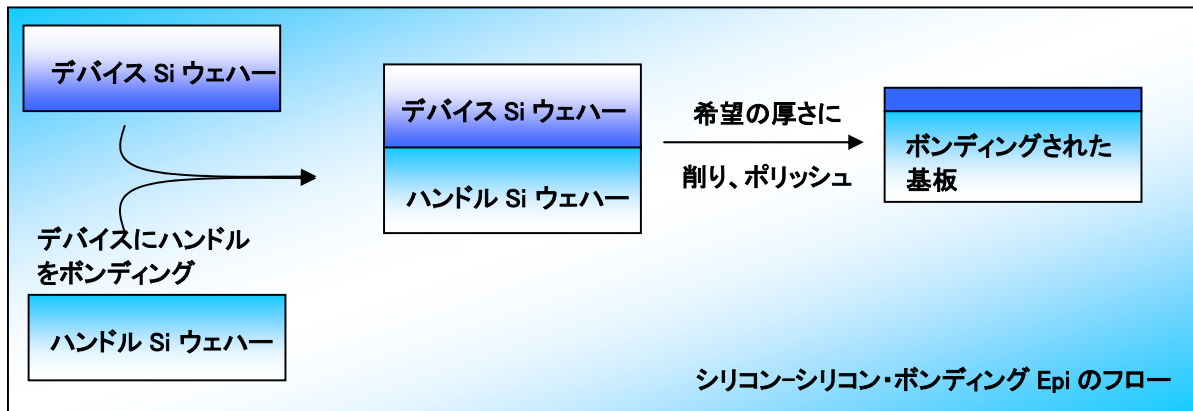


DWB と標準シリコン基板のダイオード漏れ電流の比較



DWB ウェハー・インターフェースの高解像の電子顕微鏡によるイメージ

# Si-Si Direct Wafer Bonded Epi wafers



パラメーター	単位	仕様範囲
ウェハー直径	Mm	100, 125, 150
ハンドル層の仕様		
ハンドルの厚さ	μm	350 - 700
ハンドルの厚さの公差	μm	+/- 5
ドーパントのタイプ		N あるいは P
ドーパ処理		N 型: Sb, As, P; P 型: B
抵抗率	Ω-cm	>0.007
成長方法		CZ あるいは FZ
結晶面方位		<100> あるいは <111>
バックサイドのフィニッシュ		ラップ/エッチング あるいは ポリッシュ
デバイス層の仕様		
デバイス層の厚さ	μm	2 - 200
公差	μm	+/- 0.5 or +/- 1
ドーパントのタイプ		N あるいは P
ドーパ処理		N 型: Sb, As, P; P 型: B
抵抗率	Ω-cm	>0.007
成長方法		CZ あるいは FZ
結晶面方位		<100> あるいは <111>
埋め込み層インプラント		N 型 あるいは P 型