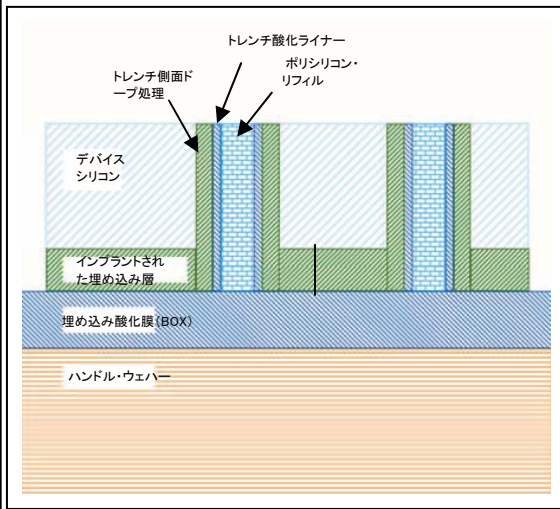
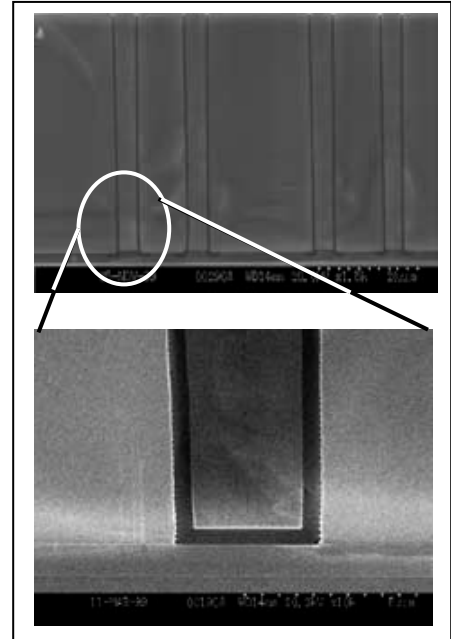


誘電体分離ウェハ（DIW : Dielectric Isolated Wafer）



ICEMOS の誘電体分離ウェハ・テクノロジーにより、同じチップ上で高電圧成分を完全に分離することができます。分離は最新の高アスペクト率のディープ・トレンチ・エッチングと酸化/ポリ・リフィルと合わせた厚フィルム SOI テクノロジーにより達成されます。このテクノロジーは 100mm から 150mm のすべてのウェハ、そして 2um から 90um のシリコン・デバイス層で可能です。

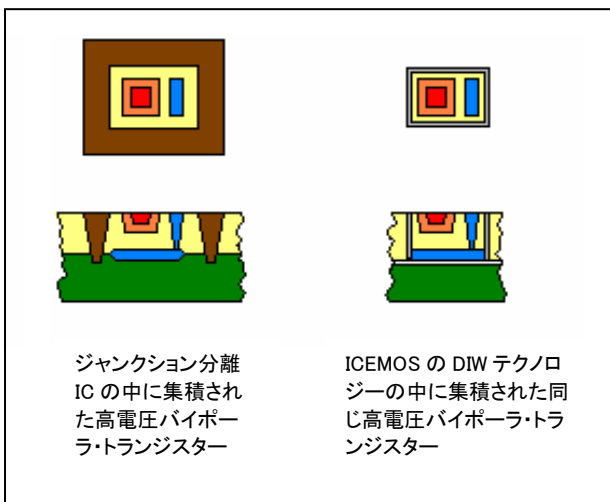
デザイナー用に誘電体分離基板構造の図解オプションあり



SEM 顕微鏡写真で酸化ポリ・リフィルの高アスペクト率のトレンチ分離を見ることができます。注:トレンチの底は埋め込み酸化層に入り込みません。

主な特徴

- 完全なデバイスの分離 - 1000 ボルトまで
- 従来のジャンクション分離と比較し、大幅なダイ・シュリンクが可能
- 従来の DI ウェハ・テクノロジーと比較し、欠陥密度の大幅な低下
- バルクと比較し基板の静電容量の低下
- エピ上のトレンチ分離と比較し低コスト
- 150mm 以上のウェハ向け



ジャンクション分離と ICEMOS の DIW テクノロジーに 集積された高電圧バイポーラ IC トランジスターの比較:シリコンのスペースを3倍節約

アプリケーション

- ソリッド・ステート・リレイ光電池発電機
- 光電池と光電子工学デバイス/IC
- テレコミュニケーション向け高電圧 IC
- 高パフォーマンス・バイポーラ回路
- スマート・パワーIC
- 集積センサー

誘電体分離ウェハー (DIW : Dielectric Isolated Wafer)

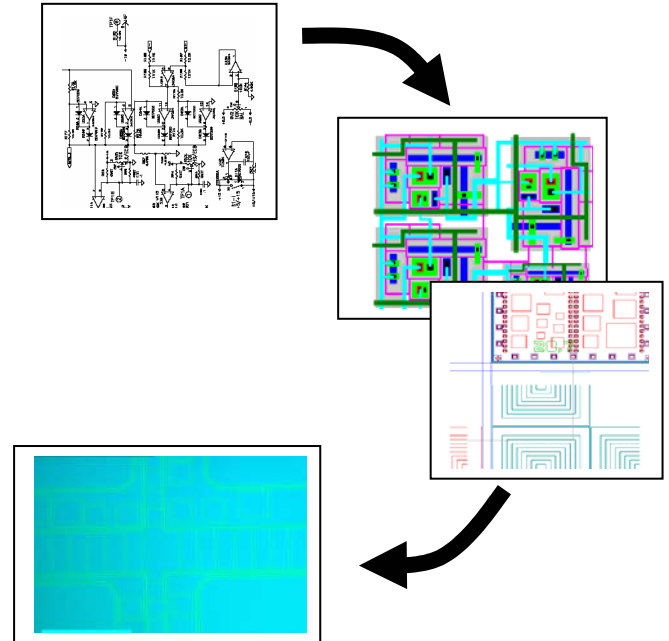


供給オプション

- 提供された分離マスクを使った DIW の提供
- ICEMOS を分離の全後工程のファブリー・サービスとして使うことにより、完全にプロセスされた DIW を提供
- お客様の図面をもとに、DIW を使った完全な IC 設計と製造を提供

分離後のテクノロジー供給

- シンプル・バイポーラ
- CMOS (1P, 2M)
- BiCMOS (1P, 2M)



パラメーター	単位	仕様範囲
ウェハーの直径	mm	100, 125, 150
ハンドル層の仕様		
ハンドルの厚さ	μm	350 - 700
ハンドルの厚さの公差	μm	+/- 5
ドーピング処理		N 型: P, As, Sb, or P 型: B
抵抗率	Ω-cm	0.01 - 10000
成長方法		CZ あるいは FZ
結晶面方位		<100> あるいは <111>
バックサイドのフィニッシュ		ラップ/エッチング あるいは ポリッシュ
埋め込み酸化膜の仕様		
熱酸化膜の成長		ハンドル あるいは デバイス あるいは 両方
埋め込み酸化膜の厚さ	μm	0.2 - 3.0
デバイス層の仕様		
デバイス層の厚さ	μm	2 - 100
公差	μm	+/- 0.5 あるいは +/- 1.0
ドーピング処理		N 型: P, As, Sb, or P 型: B
抵抗率	Ω-cm	0.01 - 10000
成長方法		CZ あるいは FZ
結晶面方位		<100> あるいは <111>
埋め込み層インプラント		1e ¹⁶ cm ⁻² までで N 型 あるいは P 型
トレンチとリフィルの仕様		
トレンチ・マスク・トーン		ポジティブ・レジスト
トレンチ・マスク・タイプ		プロジェクション・アライナーのための E ビーム・マスター
トレンチ・ライン幅	μm	>2μm
トレンチ・アスペクト率		標準 10:1 20:1 まで可
トレンチ側面のドーピング処理タイプ		N (3価のリンを含む)
トレンチ・リフィル - 酸化 (各側面)	μm	0.1 - 1.0
トレンチ・リフィル - ポリシリコン		トレンチの深さまでフィルする
平坦度		CMP
ファイナル・フィールド酸化膜	μm	2.0 μm までで熱酸化膜 + TEOS